

⑨ 日本国特許庁(J P)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭62-47214

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)2月28

H 03 M 1/52

6832-5J

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 デジタル・アナログ変換回路

⑯ 特 願 昭60-186982

⑰ 出 願 昭60(1985)8月26日

⑱ 発 明 者	佐 藤 ま ゐ 子	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 発 明 者	町 田 征 彦	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑳ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
㉑ 代 理 人	弁理士 小 池 晃	外1名	

明 細 書

1. 発明の名称

デジタル・アナログ変換回路

2. 特許請求の範囲

入力デジタルデータに対する演算項として少なくとも数分演算項と2次微分演算項とを有し、各演算項のデータを時分割で出力するとともに各演算項に対応する所定のパルス幅の信号を出力するデジタルフィルタ部と、

該デジタルフィルタ部より時分割で出力される上記各演算項のデータをアナログ化するデジタル・アナログ変換器と、

該デジタル・アナログ変換器よりアナログ信号

が供給される積分回路とを備え、

上記デジタル・アナログ変換器から順次出力される上記各演算項のデータに対応するアナログ信号を上記積分回路において積分することにより、各演算項の和に対応するアナログ信号を得るうにしたことを特徴とするデジタル・アナログ変換回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は例えば自動制御系において適用可能なデジタルフィルタを用いて構成したデジタル・アナログ(D/A)変換回路に関する。

〔発明の概要〕

〔従来の技術〕

一般的に、自動制御系は第8図に示すように目標値が入力される基準入力要素40、基準入力信号とフィードバック信号との差を得る偏差検出器41、偏差信号が入力される制御要素42、制御要素42の出力により制御される制御対象43、該制御対象43の制御量を上記偏差検出器41へフィードバックするフィードバック要素44等より構成される。

この自動制御系は上記偏差検出器41より得られる偏差信号に応じて上記制御対象43を制御し、上記偏差信号が極めて小さい状態、すなわち上記制御対象43が目標値に達した状態を得る。

このような自動制御系において、上記制御要素42に、デジタルフィルタを用いることが考えられる。

デジタルフィルタはデジタルな加算器、乗算器、単位時間遅延素子等を用いて、ハードウェアにより実現することも、マイクロコンピュータ等を用いてソフトウェアにより実現することもできるが、

- 8 -

図66にはA8の項が入力される。また、上記積分回路62の出力は乗算器65によりC倍され上記加算器66にC/Nの項が入力される。また、上記乗算器64よりBの項が上記加算器66に入力される。結局、該加算器66からは $(A+B+C)/N$ がD/A変換器67に供給され、アナログ信号が得られる。

このような構成において精度を上げるためには上記D/A変換器67の分解能を上げること、すなわちビット数を多くとることが要求される。

〔発明が解決しようとする問題点〕

上述したように、デジタルフィルタで精度を上げるためには高分解能のD/A変換器が必要にな

いずれもアナログフィルタに比較して、安定性精度、経年変化において優れている。また、ソフトウェアにより実現した場合には、フィルタの特性を決めるパラメータの変更が容易であり、種々の特性のフィルタを簡単に実現できるという利がある。

上記制御要素42をこのようなデジタルフィルタを用いて実現した場合には、第8図に示すように、デジタルフィルタ50の入力側にD/A変換器51が、出力側にD/A変換器52が必ず必要となる。

今、デジタルフィルタで実現すべき係数関数 $\frac{A}{s} + \frac{B}{s} + \frac{C}{s}$ と、微分項をA8、比例項をB、積分項をC8とすると、この伝達関数 $(A+B+C)/s$ を実現する場合、例えば上記微分項、比例項、積分項独立に計算した後で加算する方法が考えられるすなわち、第9図に示すように入力データをA/D変換器60でデジタル化した後、微分回路61、積分回路62、乗算器64に供給する。上記微分回路61の出力は乗算器63によりA倍され加

- 9 -

であり、簡単な構成でデジタルフィルタを用いた高精度のD/A変換回路を実現し、デジタルフィルタの適用を容易にすることを目的とする。

〔問題点を解決するための手段〕

上述の問題を解決するために本発明では、入デジタルデータに対する演算項として少なくとも微分演算項と2次積分演算項とを有し、各演算のデータを時分割で出力するとともに、各演算に対応する所定のパルス幅の信号を出力するデジタルフィルタ部と、該デジタルフィルタ部より分割で出力される上記各演算項のデータをアナログ化するD/A変換器と、該D/A変換器よりアナログ信号が供給され、上記デジタルフィルタ部の出力と上記D/A変換器の出力との和を出力する和回路とを有する。

〔作 用〕

本発明に係る D/A 変換回路では、入力デジタルデータに対して上記デジタルフィルタ部において積分演算と微分演算が行なわれ、各演算の結果のデータが時分割で上記 D/A 変換器に出力される。該 D/A 変換器により得られた各演算の結果のデータに対応するアナログ信号は上記デジタルフィルタ部より出力される所定のパルス幅の信号のパルス幅の期間、上記積分回路において順次積分され上記各演算項の和に対応したアナログ信号が出力される。

〔実施例〕

以下、本発明を VTR (Video Tape Recorder) のドラムサーボ系に適用した場合の実施例について図面を参照して説明する。

第 1 図は本実施例の構成を示すブロック図であり、前述した自動制御系に対応させると制御対象はドラムモータ 4 であり、フィードバック要素は積分器 5 であり、制御要素は A/D 変換器 2 及び

D/A 変換器 3 である。該 D/A 変換器 3 は周知特性を有する。

このドラムサーボ系では、上記ドラムモータが基準位相 θ_{ref} で回転するような制御が行なれる。すなわち、上記ドラムモータ 4 の角速度から上記積分器 5 により N ラム位相 θ が得られ該ドラム位相 θ と基準位相 θ_{ref} との差が誤差出力 1 で検出される。ここで得られた誤差信号 θ は上記 A/D 変換器 2 を介して上記 D/A 変換器 3 に供給される。

該 D/A 変換器 3 はデジタルフィルタ部 3 a、D/A 変換器 3 b、スイッチ 3 c、積分回路 3 d 等より構成され、上記デジタルフィルタ部 3 a、微分回路 3 d により定まる周波数特性によりデジタル化された誤差信号 θ に応じた上記ドラムモータ 4 の駆動電圧 e_m を出力する。この結果該ドラムモータ 4 はドラム位相 θ が上記基準位相 θ_{ref} と一致した状態で回転する状態に安定化れる。

次に、上記 D/A 変換器 3 について詳細に説

- 7 -

- 8 -

する。まず、上記デジタルフィルタ部 3 a では、 $(A \cdot S^2 + B \cdot S + C)$ で表わされる伝達関数の各項を別々に計算して計算結果のデータを時分割で上記 D/A 変換器 3 b に出力するとともに、各項の出力に対応して ΔT のパルス幅を有する制御信号 (H/N) を上記スイッチ 3 c に供給する。上記 D/A 変換器 3 b より出力されるアナログ信号は上記 ΔT の期間、該スイッチ 3 c を介して抵抗 R、コンデンサ C、オペアンプ 3 d から成る上記積分回路 3 d に供給される。

該積分回路 3 d は上記抵抗 R、コンデンサ C、上記時間幅 ΔT でその利得が定まり、上記 ΔT の期間、入力信号を積分し、上記スイッチ 3 c がオフになる期間は積分し直度を保持する。従って、

記デジタルフィルタ部 3 a の伝達関数 $(A \cdot S^2 + B \cdot S + C)$ と上記 R/N との積となる。すなわち

$$(A \cdot S^2 + B \cdot S + C) \times \frac{R}{N} = (A \cdot S^2 + B \cdot S + C) \cdot K$$

が該 D/A 変換器 3 の実質する伝達関数であり、これによって周波数特性が定まる。

以上の動作を上記伝達関数のうち、C 項、B 項、 $A \cdot S^2$ 項の順に処理した場合を第 2 図に従って説明する。

まず、同図 A に示すように時間 ΔT_1 において、記 C 項の演算がなされ、上記積分回路 3 d より $(C \cdot K/N)$ に対応する電圧の信号が出力される。次に同図 B に示すように時間 ΔT_2 において上記 B 項の演算がなされ、上記積分回路 3 d の出力は $(B \cdot K/N)$ と $(C \cdot K/N)$ の和となり、上記積分回路 3 d の出力は $(B \cdot K/N + C \cdot K/N)$ となる。

で、各項の演算が簡単になり、また、上記 D/A 変換器 3 c のビット数は例えば上記 A/D 変換器 2 のビット数より少なくてもよく、低分解能の D/A 変換器を用いても精度等を維持することが可能になる。

また上記係数関数 $(AS^2 + BS + C)$ の A 、 B 、 C は定数であるから、上記制御信号のパルス幅 ΔT を可変にすることにより上記積分回路 3 d の利得を可変にして上記 A 、 B 、 C の定数を表現するようにしてもよい。次に、そのように処理を行なった場合を図 8 図に従って説明する。

まず、図 8 に示すように時間 ΔT_1 において上記デジタルフィルタ部 3 a では入力データに対して演算処理を行わず、上記制御信号 (H/L) のパルス幅を $C \cdot \Delta T$ に設定して出力する。これにより上記積分回路 3 d より $C \cdot K/S$ に対応する電圧が出力される。次に、図 8 示すように時間 ΔT_2 において上記デジタルフィルタ部 3 a では S 項の演算がなされ、演算結果のデータが出力されるとともに上記制御信号 (H/L) のパルス

幅が $B \cdot \Delta T$ に設定され出力される。これにより上記積分回路 3 d より $(BS + C) \cdot K/S$ に対応する電圧が出力される。最後に図 8 c に示すように時間 ΔT_3 において上記デジタルフィルタ 3 a では S^2 項の演算がなされ、演算結果のデータが出力されるとともに、上記制御信号 (H/L) のパルス幅が $A \cdot \Delta T$ に設定され出力される。これにより上記積分回路 3 d の出力は $(AS^2 + BS + C) \cdot K/S$ に対応した電圧となり周知の周波特性を得る。

このように上記制御信号 (H/L) のパルスを可変にして上記 A 、 B 、 C の定数を表現することで上記デジタルフィルタ部 3 a での演算が減少演算が簡単になる。また、各演算ごとに分けデータを出力するので上記 D/A 変換器 3 c のビット数は少なくとも精度等を維持することができる。

また、上記積分回路 3 d は、直流利得が極端大きいので上記ドラムセータ 4 のバラツキを吸収することができる。

- 11 -

- 12 -

〔発明の効果〕

以上述べたように本発明によれば、簡潔な構成でデジタルフィルタを用いた高精度の D/A 変換回路を実現することができ、デジタルフィルタの適用が容易になる。

また、実施例で示したように本発明を VTR のドラムサーボ系に適用した場合、積分回路によりドラムセータのバラツキを吸収することができる。

4. 図面の簡単な説明

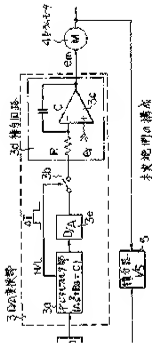
図 1 図は本発明に係る D/A 変換回路を VTR のドラムサーボ系に適用した本実施例の構成を示すブロック図である。

図 2 図は上記 D/A 変換回路において、パルス

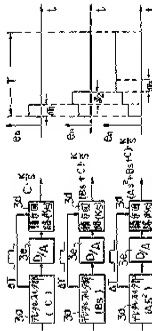
にデジタルフィルタを用いた場合の説明図であ

第 6 図は係数関数 $(AS + B + \frac{C}{S})$ を実現するデジタルフィルタの従来の構成の一例を示すブロック図である。

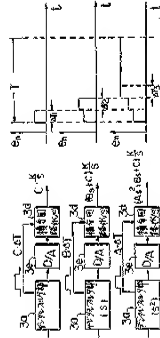
- 1 演算検出器
- 2 A/D 変換器
- 3 D/A 変換器
- 3 a デジタルフィルタ部
- 3 b スイッチ
- 3 c オペランツ
- 3 d 積分回路
- 3 e D/A 変換器
- 4 ドラムセータ
- 5 積分器



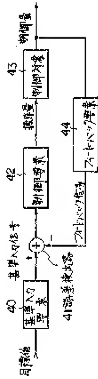
一、按



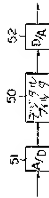
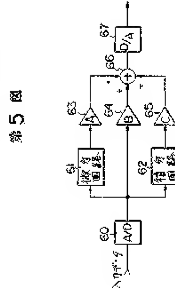
OSA 交差の動作



第3圖



自新判御系の楯飛

[illegible]
$$AS+B+\frac{C}{S}$$

在实现, 并构成例